

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267129

(43)Date of publication of application : 28.09.2001

(51)Int.CI.

H01F 17/00  
B28B 11/00  
H01F 27/29  
H01F 37/00  
H01F 41/04

(21)Application number : 2000-073623

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 16.03.2000

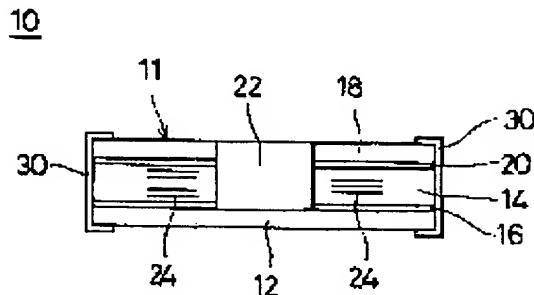
(72)Inventor : SAKATA KEIJI

## (54) CHIP INDUCTOR AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a small-sized chip inductor which is little exerted the effect of a magnetic strain and is favorable in electrical characteristics.

SOLUTION: A chip inductor 10 comprises a base body 11 consisting of ceramic. The base body 11 comprises a first packaged material 12 and an intermediate 14 is laminated on the packaged material 12 holding a resin layer 16 between the intermediate 14 and the packaged material 12. A second packaged material 18 is laminated on the intermediate 14 holding a resin layer 20 between the material 18 and the intermediate 14. A core 22 is formed in the central parts of the intermediate 14 and the packaged material 18. Spiral coil conductors 24 are formed in the intermediate 14 centering around the core 22. External electrodes 30 are respectively formed on the end parts of the base body 11 and are respectively connected with the coil conductors 24. A high-magnetic permeability material is used as the materials for the packaged materials 12 and 18 and the core 22 and a non-magnetic material or a low-magnetic permeability material is used as the material for the intermediate 14.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-267129

(P2001-267129A)

(43)公開日 平成13年9月28日 (2001.9.28)

(51)Int.Cl.  
H 01 F 17/00  
B 28 B 11/00  
H 01 F 27/29  
37/00

識別記号

F I  
H 01 F 17/00  
37/00  
41/04  
B 28 B 11/00

テマコード(参考)  
C 4 G 0 5 5  
N 5 E 0 6 2  
J 5 E 0 7 0  
C  
Z

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-73623(P2000-73623)

(22)出願日 平成12年3月16日 (2000.3.16)

(71)出願人 000006231

株式会社村田製作所

京都府長岡市天神二丁目26番10号

(72)発明者 坂田 啓二

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

(74)代理人 100079577

弁理士 岡田 全啓

Fターム(参考) 4G055 AA08 AC09 BA22

5E062 DD04

5E070 AA01 AB03 BA12 CB01 CB13

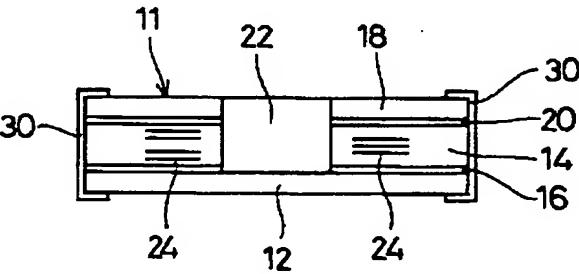
(54)【発明の名称】チップインダクタおよびその製造方法

(57)【要約】

【課題】磁歪の影響が少なく、電気特性が良好で、小型のチップインダクタを得る。

【解決手段】チップインダクタ10は、セラミックからなる基体11を含む。基体11は第1の外装体12を含み、第1の外装体12上に、樹脂層16を挟んで中間体14を積層する。中間体14上に、樹脂層20を挟んで第2の外装体18を積層する。中間体14および第2の外装体18の中央部に、コア22を形成する。コア22を中心として、中間体14中に渦巻状のコイル導体24を形成する。基体11の端部に外部電極30を形成し、コイル導体24に接続する。外装体12、18およびコア22の材料として透磁率の高い材料を用い、中間体14の材料として非磁性体または透磁率の低い材料を用いる。

10



## 【特許請求の範囲】

【請求項1】 非磁性体または透磁率の低い複数のセラミック層からなる中間体、

前記中間体の前記セラミック層に形成されて互いに接続されることによりコイルを形成する渦巻状のコイル導体、

前記中間体の両側に形成される空隙部、

前記中間体の両側において前記空隙部を挟んで形成される透磁率の高いセラミック層からなる外装体、および前記中間体と一方の前記外装体の内側において渦巻状の前記コイル導体を貫通するよう形成される透磁率の高いセラミックからなるコアを含む、チップインダクタ。

【請求項2】 非磁性体または透磁率の低い複数のセラミック層からなる中間体、

前記中間体の前記セラミック層に形成されて互いに接続されることによりコイルを形成する渦巻状のコイル導体、

前記中間体の両側に形成される樹脂層、

前記中間体の両側において前記樹脂層を挟んで形成される透磁率の高いセラミック層からなる外装体、および前記中間体と一方の前記外装体の内側において渦巻状の前記コイル導体を貫通するよう形成される透磁率の高いセラミックからなるコアを含む、チップインダクタ。

【請求項3】 非磁性体または透磁率の低いセラミック材料からなり、中央部に貫通孔が形成されるとともに前記貫通孔を中心とした電極パターンが形成された中間体用セラミックグリーンシートを準備する工程、

透磁率の高いセラミック材料からなる第1の外装体用セラミックグリーンシートを準備する工程、

透磁率の高いセラミック材料からなり中央部に貫通孔の形成された第2の外装体用セラミックグリーンシートを準備する工程、

焼成により消失または卑化するペーストを塗布した前記中間体用セラミックグリーンシートを介して複数の前記中間体用セラミックグリーンシートの両側に前記第1の外装体用セラミックグリーンシートと前記第2の外装体用セラミックグリーンシートを積層して積層体を形成する工程、

前記中間体用セラミックグリーンシートに形成された前記貫通孔および前記第2の外装体用セラミックグリーンシートに形成された前記貫通孔に透磁率の高い材料からなるスラリーを充填する工程、および前記積層体を焼成することにより焼結基体を形成するとともに前記ペースト塗布部に空隙部を形成する工程を含む、チップインダクタの製造方法。

【請求項4】 非磁性体または透磁率の低いセラミック材料からなり、中央部に貫通孔が形成されるとともに前記貫通孔を中心とした電極パターンが形成された中間体用セラミックグリーンシートを準備する工程、

透磁率の高いセラミック材料からなる第1の外装体用セ

ラミックグリーンシートを準備する工程、

透磁率の高いセラミック材料からなり中央部に貫通孔の形成された第2の外装体用セラミックグリーンシートを準備する工程、

樹脂製のシートを介して複数の前記中間体用セラミックグリーンシートの両側に前記第1の外装体用セラミックグリーンシートと前記第2の外装体用セラミックグリーンシートを積層して積層体を形成する工程、

前記中間体用セラミックグリーンシートに形成された前

記貫通孔および前記第2の外装体用セラミックグリーンシートに形成された前記貫通孔に透磁率の高い材料からなるスラリーを充填する工程、および前記積層体を焼成することにより焼結基体を形成するとともに前記樹脂製のシートを焼いて空隙部を形成する工程を含む、チップインダクタの製造方法。

【請求項5】 さらに、前記空隙部に樹脂を充填する工程を含む、請求項3または請求項4に記載のチップインダクタの製造方法。

【発明の詳細な説明】

【0001】 【発明の属する技術分野】 この発明はチップインダクタおよびその製造方法に関し、特にたとえば、チョークコイルなどとして用いられる積層型のチップインダクタに関する。

【0002】 【従来の技術】 従来のチップインダクタとしては、たとえば図12に示すように、積層型のチップインダクタ1がある。このチップインダクタ1は、磁性体セラミックからなる基体2を含み、その内部にコイル導体3が形成されている。そして、基体2の対向側面に、コイル導体3に接続された外部電極4が形成されている。このようなチップインダクタ1を作製するには、複数のセラミックグリーンシートにコイル状の電極パターンを形成して積層圧着し、焼成することにより内部にコイル導体3を有する基体2が得られる。そして、基体2の側面に電極用ペーストを塗布して焼き付けることにより、外部電極4が形成される。

【0003】 また、図13に示すように、巻線型のチップインダクタ5もある。このチップインダクタ5は、金型でセラミック材料を成形し、焼成して得られたコア6に、導線7を巻回したものである。そして、コア6の底面に、導線7に接続した外部電極8が形成されている。

【0004】 【発明が解決しようとする課題】 チップインダクタは小型化および低価格化が進んでおり、その点では積層型のチップインダクタが有利であるが、基体がコイル導体と磁性体セラミックを積層一体化し、同時焼成しており、コイル導体と磁性体が密着しているため、磁歪が大きく、インダクタンスの取得効率が悪い。また、積層型のチップインダクタでは、閉磁路構造であるため、図14

に示すように、直流電流を印加したときのインダクタンス低下が大きい（直流重畠特性が悪い）という欠点もある。

【0005】また、巻線型のチップインダクタでは、焼成して得られたコアに導線を巻回しているため、コアの自由度が高いため、磁歪が小さく、インダクタンス取得効率がよい。また、閉磁路構造であるため、直流重畠特性がよく、電気特性に優れているが、積層型のように一体成形ではないため、サイズやコスト面で不利となる。

【0006】それゆえに、この発明の主たる目的は、磁歪の影響が少なく、電気特性が良好で、小型のチップインダクタを提供することであり、また、このようなチップインダクタを得るための製造方法を提供することである。

【0007】

【課題を解決するための手段】この発明は、非磁性体または透磁率の低い複数のセラミック層からなる中間体と、中間体のセラミック層に形成されて互いに接続されることによりコイルを形成する渦巻状のコイル導体と、中間体の両側に形成される空隙部と、中間体の両側において空隙部を挟んで形成される透磁率の高いセラミック層からなる外装体と、中間体と一方の外装体の内側において渦巻状のコイル導体を貫通するように形成される透磁率の高いセラミックからなるコアとを含む、チップインダクタである。また、この発明は、非磁性体または透磁率の低い複数のセラミック層からなる中間体と、中間体のセラミック層に形成されて互いに接続されることによりコイルを形成する渦巻状のコイル導体と、中間体の両側に形成される樹脂層と、中間体の両側において樹脂層を挟んで形成される透磁率の高いセラミック層からなる外装体と、中間体と一方の外装体の内側において渦巻状のコイル導体を貫通するように形成される透磁率の高いセラミックからなるコアとを含む、チップインダクタである。また、この発明は、非磁性体または透磁率の低いセラミック材料からなり、中央部に貫通孔が形成されるとともに貫通孔を中心とした電極パターンが形成された中間体用セラミックグリーンシートを準備する工程と、透磁率の高いセラミック材料からなり中央部に貫通孔の形成された第1の外装体用セラミックグリーンシートを準備する工程と、透磁率の高いセラミック材料からなり中央部に貫通孔の形成された第2の外装体用セラミックグリーンシートを準備する工程と、樹脂製のシートを介して複数の中間体用セラミックグリーンシートの両側に第1の外装体用セラミックグリーンシートと第2の外装体用セラミックグリーンシートを積層して積層体を形成する工程と、中間体用セラミックグリーンシートに形成された貫通孔および第2の外装体用セラミックグリーンシートに形成された貫通孔に透磁率の高い材料からなるスラリーを充填する工程と、積層体を焼成することにより焼結基体を形成するとともに樹脂製のシートを焼いて空隙を形成する工程とを含む、チップインダクタの製造方法である。これらの製造方法において、さらに、空隙部に樹脂を充填する工程を含めることができる。

20

30

40

50

を形成するとともにベースト塗布部に空隙を形成する工程とを含む、チップインダクタの製造方法である。また、この発明は、非磁性体または透磁率の低いセラミック材料からなり、中央部に貫通孔が形成されるとともに貫通孔を中心とした電極パターンが形成された中間体用セラミックグリーンシートを準備する工程と、透磁率の高いセラミック材料からなる第1の外装体用セラミックグリーンシートを準備する工程と、透磁率の高いセラミック材料からなり中央部に貫通孔の形成された第2の外装体用セラミックグリーンシートを準備する工程と、樹脂製のシートを介して複数の中間体用セラミックグリーンシートの両側に第1の外装体用セラミックグリーンシートと第2の外装体用セラミックグリーンシートを積層して積層体を形成する工程と、中間体用セラミックグリーンシートに形成された貫通孔および第2の外装体用セラミックグリーンシートに形成された貫通孔に透磁率の高い材料からなるスラリーを充填する工程と、積層体を焼成することにより焼結基体を形成するとともに樹脂製のシートを焼いて空隙を形成する工程とを含む、チップインダクタの製造方法である。これらの製造方法において、さらに、空隙部に樹脂を充填する工程を含めることができる。

【0008】中間体を非磁性体または透磁率の低い材料で形成し、外装体およびコアに透磁率の高い材料で形成することにより、中間体の磁歪が少なく、インダクタンス取得効率がよく、直流重畠特性のよいチップインダクタとすることができます。また、中間体と外装体との間に空隙部や樹脂層を形成することにより、外装部やコアの磁歪による影響を緩和することができる。また、中間体や外装体をセラミックグリーンシートを積層して形成することにより、一体成形が可能であり、チップインダクタの小型化および低コスト化を図ることができる。ここで、中間体用セラミックグリーンシートの両側に、焼成することにより消失したり卑化するベーストを塗布した中間体用セラミックグリーンシートまたは樹脂性のシートを配置することにより、焼成時にこれらが消失または卑化して空隙部が形成される。それにより、焼成時における外装体部分と中間体部分の間の収縮差を吸収することができる。また、このような空隙部が形成され、またはこの空隙部に樹脂が充填されることにより、コイル導体部における外装体やコアの磁歪の影響の少ないチップインダクタを得ることができる。

【0009】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0010】

【発明の実施の形態】図1はこの発明のチップインダクタの一例を示す斜視図であり、図2はその断面図解図である。チップインダクタ10はセラミックからなる基体11を含み、基体11は第1の外装体12を含む。第1

の外装体12は、透磁率の高いセラミック層の積層体で形成される。第1の外装体12上には、中間体14が形成される。中間体14は、非磁性体または透磁率の低いセラミック層の積層体で形成される。これらの第1の外装体12および中間体14の間には、樹脂層16が形成される。

【0011】さらに、中間体14上には、第2の外装体18が形成される。第2の外装体18は、透磁率の高いセラミック層の積層体で形成される。これらの中間体14および第2の外装体18の間には、樹脂層20が形成される。第2の外装体18および中間体14の中央部には、コア22が形成される。コア22は、透磁率の高いセラミックで形成される。また、中間体14の内部には、コア22を中心として渦巻状のコイル導体24が形成される。コイル導体24は、図3に示すように、中間体14を構成する複数のセラミック層26上に形成される。これらのコイル導体24は、各セラミック層26上において、コア22を中心としたコ字状に形成される。そして、隣接するセラミック層26に形成されたコイル導体24は、セラミック層26に形成されたスルーホール28を介して電気的に接続される。第1の外装体12、中間体14および第2の外装体18の対向する端面には、外部電極30が形成される。これらの外部電極30は、コイル導体24の引き出された端部に接続される。

【0012】このようなチップインダクタ10を作製するには、図4に示すように、第1の外装体用セラミックグリーンシート40、中間体用セラミックグリーンシート42および第2の外装体用セラミックグリーンシート44が準備される。なお、中間体用セラミックグリーンシート42および第2の外装体用セラミックグリーンシート44の中央部には、貫通孔46が形成される。そして、複数の第1の外装体用セラミックグリーンシート40上に、たとえばポリエスチルやポリエチレンテレフタレートなどの樹脂製シート48が積層される。この樹脂製シート48上に、複数の中間体用セラミックグリーンシート42が積層される。これらの中間体用セラミックグリーンシート42上には、貫通孔46を中心として、コ字状の電極バターン50が形成されている。電極バターン50は、たとえば電極ペーストを印刷することによって形成される。これらの電極バターン50の一端にはスルーホール52が形成され、このスルーホール52を介して隣接する中間体用セラミックグリーンシート42に形成された電極バターン50に接続される。

【0013】中間体用セラミックグリーンシート42上には、樹脂製シート48が積層され、その上に第2の外装体用セラミックグリーンシート44が積層される。これらの第1の外装体用セラミックグリーンシート40、中間体用セラミックグリーンシート42、第2の外装体用セラミックグリーンシート44および樹脂製シート48

が圧着され、図5に示すように、中央部に窪み54を有する積層体56が形成される。そして、図6に示すように、窪み54にスラリー58が充填される。スラリー58は、たとえばフェライト粉末とバインダとを混合したものである。スラリー58は、たとえばディスペンサ塗布や印刷などの方法により充填され、上面をスキージなどでならして成形される。

【0014】成形したのち、スラリー58を乾燥させ、積層体56を焼成することによって焼結基体11が得られる。この基体11の対向端面に電極ペーストが塗布され、焼き付けることによって、外部電極30が形成される。積層体56を焼成することによって、各セラミックグリーンシート40、42、44は第1の外装体12、中間体14、第2の外装体18となり、電極バターン50はコイル導体24となり、スラリー58はコア22となる。また、樹脂製シート48は焼成によって消失し、この部分に空洞部が形成される。この空洞部に樹脂を含浸させることにより、樹脂層20が形成される。

【0015】このチップインダクタ10では、セラミックグリーンシートを積層することによって一体成形が可能であり、小型化および低コスト化を図ることができる。また、このチップインダクタ10では、中間体14に非磁性体を用いることにより、中間体14内部に磁路がほとんど形成されず、第1の外装体12、第2の外装体18およびコア22で磁路が形成されるため、磁路が短くならず、直流重畠特性を良好にことができる。さらに、中間体14として、非磁性体を用いることにより、この部分の磁歪を抑えることができ、インダクタンス取得効率を改善することができる。

【0016】また、中間体14として、透磁率の低い材料を用いてもよい。たとえば、外装体12、18およびコア22の材料として比透磁率 $\mu_r = 1000$ 程度のものが使用されたとき、中間体14の材料として比透磁率 $\mu_r = 6$ 程度のものが使用される。中間体14として非磁性体を用いた場合、図7に示すように、中間体14の外側部分において磁束の漏れが大きくなり、直流重畠特性はよくなるものの、インダクタンスの低下や直流抵抗の増加を招くことにもなる。しかしながら、透磁率の低い材料を用いることにより、図8に示すように、中間体14部分での磁束の漏れが少なくなり、直流重畠特性を大きく低下させることなく、非磁性体を用いた場合に比べてインダクタンスおよび直流抵抗の低減が可能となる。また、外装体12、18、コア22および中間体14部分に使用される材料が異なるため、これらの透磁率を変えることにより、直流重畠特性や直流抵抗を調整することができ、所望の特性を有するチップインダクタを得ることができる。

【0017】さらに、このチップインダクタ10では、中間体14と外装体12、18との間に樹脂層16、20が形成されているため、コイル導体26の周辺部にお

ける外装体12、18やコア22の磁歪による影響を緩和することができる。なお、この樹脂層16、20部分は、必ずしも形成する必要はなく、セラミックグリーンシートに挟まれた樹脂製シート48が焼成により消失して形成された空隙部のままであってもよい。この場合でも、磁歪による影響を緩和することができる。

【0018】上述の製造方法においては、積層体56を焼成することにより空隙部を形成するために、樹脂製シート48を用いたが、樹脂製シートのかわりに、焼成によって消失または卑化する材料を塗布した中間体用セラミックグリーンシート42を用いてもよい。このような材料としては、たとえばカーボンなどの有機ペーストが用いられる。このような材料を用いることにより、焼成時に有機ペーストが消失または卑化し、その部分に空隙部が形成されるため、樹脂製シートを用いた場合と同様の効果を得ることができる。また、焼成により消失または卑化する材料を塗布した中間体用セラミックグリーンシートや樹脂製シートなどを用いることにより、この部分において、焼成時における外装体部分と中間体部分の間の収縮差を吸収することができる。したがって、焼成時におけるチップインダクタ10の破損を少なくすることができます。

【0019】また、図9に示すように、コイル導体24の巻数が少なく、電極バターン50の数が少ない場合、電極バターン50の形成された中間体用セラミックグリーンシート42の両側に、電極バターンの形成されていない中間体用セラミックグリーンシート42を積層することができる。このように、電極バターンの形成されていない中間体用セラミックグリーンシート42を用いることにより、コイル導体24の巻数に関係なく、中間体14の厚みを一定にすることができます。

【0020】従来の透磁率の高い材料で形成されたチップインダクタ1では、コイル導体3の巻数が少ないと、図10に示すように、磁路の長さが短くなってしまって、直流重畠特性が低下する。それに対して、このチップインダクタ10では、コイル導体24の巻数に関係なく、中間体14の厚みを一定にすることができます。コア22の長さも一定にすることでき、図11に示すように、磁路の長さが短くならず、直流重畠特性の低下を防ぐことができる。このような構造を採用することにより、コイル導体24の巻数に関係なく、安定した特性を得ることができます。

【0021】

【発明の効果】この発明によれば、磁歪の影響が少なく、インダクタンス取得効率が良好で、直流重畠特性の良好な小型のチップインダクタを得ることができる。しかも、製造が容易であり、焼成時の熱収縮によるチップインダクタの破損を少なくすることができます。

【図面の簡単な説明】

【図1】この発明のチップインダクタの一例を示す斜視

図である。

【図2】図1に示すチップインダクタの断面図解図である。

【図3】図1および図2に示すチップインダクタの外装体および中間体を示す分解斜視図である。

【図4】図1に示すチップインダクタを製造するための一工程を示す分解斜視図である。

【図5】図4に示す各セラミックグリーンシートを積層した状態を示す断面図解図である。

10 【図6】図5に示す積層体にスラリーを充填した状態を示す断面図解図である。

【図7】中間体として非磁性体材料を用いた場合の磁路を示す図解図である。

【図8】中間体として透磁率の低い材料を用いた場合の磁路を示す図解図である。

【図9】コイル導体の巻数の少ないチップインダクタを製造するための一工程を示す分解斜視図である。

20 【図10】コイル導体の巻数が少ないチップインダクタについて、中間体として透磁率の高い材料を用いた従来のチップインダクタの磁路を示す図解図である。

【図11】図9に示すチップインダクタの磁路を示す図解図である。

【図12】従来の積層型のチップインダクタの一例を示す断面図解図である。

【図13】従来の巻線型のチップインダクタの一例を示す断面図解図である。

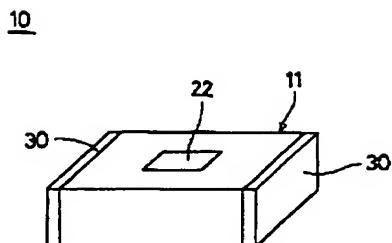
【図14】従来の積層型および巻線型のチップインダクタの直流重畠特性を示すグラフである。

【符号の説明】

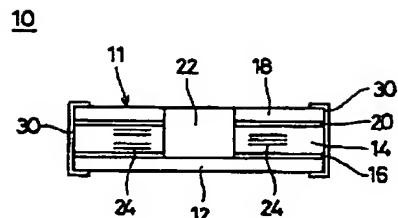
30	10	チップインダクタ
	11	基体
	12	第1の外装体
	14	中間体
	16	樹脂層
	18	第2の外装体
	20	樹脂層
	22	コア
	24	コイル導体
	26	セラミック層
40	28	スルーホール
	30	外部電極
	40	第1の外装体用セラミックグリーンシート
	42	中間体用セラミックグリーンシート
	44	第2の外装体用セラミックグリーンシート
	46	貫通孔
	48	樹脂製シート
	50	電極バターン
	52	スルーホール
	54	窪み
	56	積層体

58 スラリー

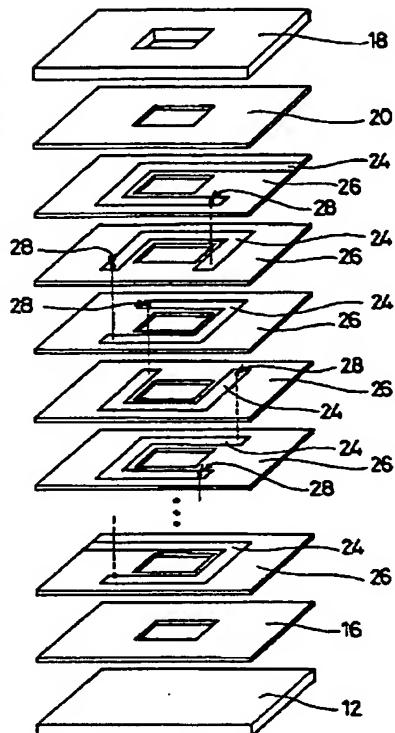
〔 1 〕



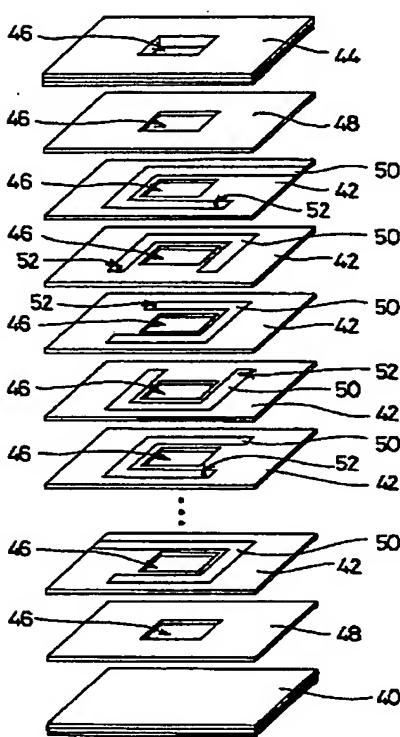
[図2]



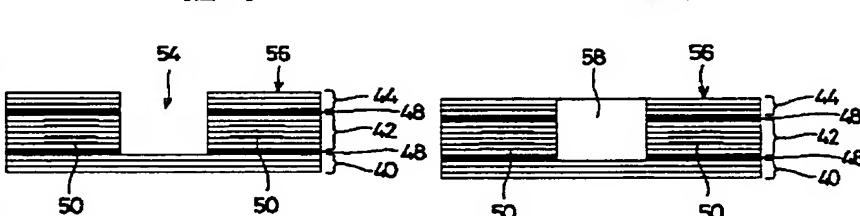
〔图3〕



【図4】



[図5]

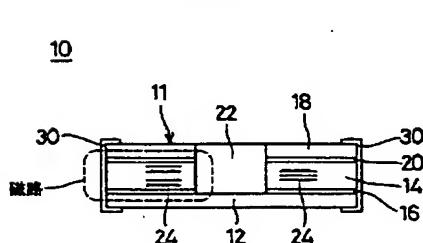


[圖 6]

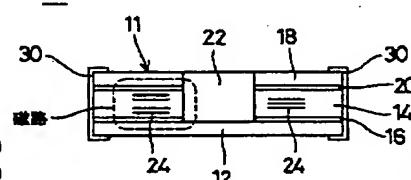
[图 8]

[図10]

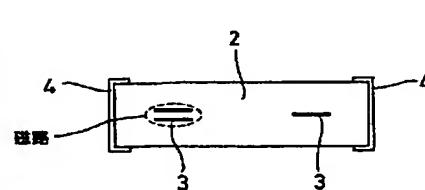
〔図7〕



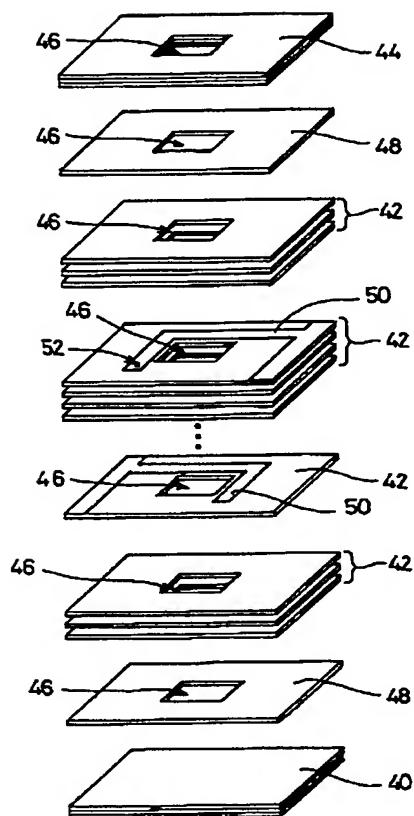
10



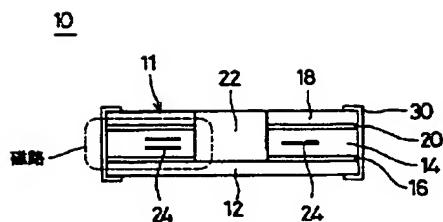
1



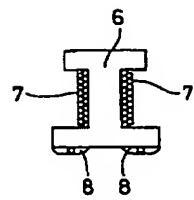
【図9】



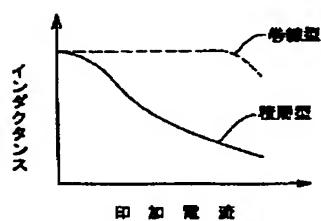
【図11】



【図13】



【図14】



フロントページの続き

(51)Int.CI.<sup>7</sup>  
H 0 1 F 41/04

識別記号

F I  
H 0 1 F 15/10マークド(参考)  
C